

Erfindung

AG



Docket # 4024

(19) **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

(12) **Offenlegungsschrift**
(11) **DE 197 35 406 A 1**

(51) Int. Cl.⁶:
H 01 L 27/00
H 01 L 21/66
G 01 R 31/26
// G11C 29/00

(21) Aktenzeichen: 197 35 406.8
(22) Anmeldetag: 14. 8. 97
(43) Offenlegungstag: 18. 2. 99

Industrielle Erfindung

DE 197 35 406 A 1

(71) Anmelder:
Siemens AG, 80333 München, DE

(72) Erfinder:
Krause, Gunnar, 81541 München, DE

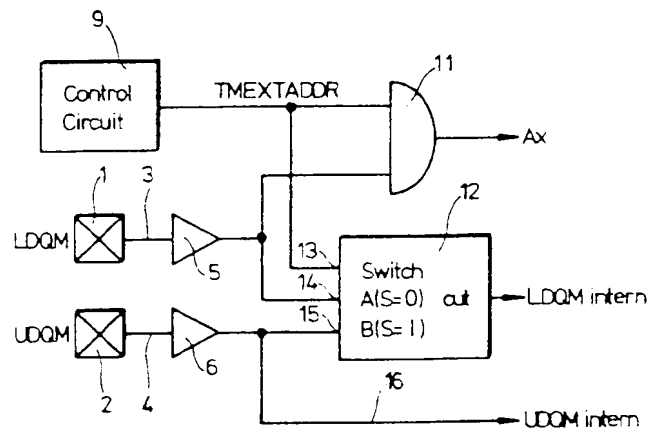
(56) Entgegenhaltungen:
US 54 75 646
EP 05 74 002 A2
JP 04-2 56 038 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Halbleiterbauelement und Verfahren zum Testen und Betreiben eines Halbleiterbauelementes

(57) Die Erfindung betrifft ein Halbleiterbauelement, welches eine in bzw. auf einer Hauptoberfläche eines Halbleiterchips ausgebildete elektronische Schaltung, und auf der Hauptoberfläche des Halbleiterchips angeordnete, mit der elektronischen Schaltung elektrisch gekoppelte Anschlußflächen bzw. Pads (1, 2) für die elektrische Kommunikation der Schaltung mit der Außenwelt aufweist, wobei die elektronische Schaltung zum einen in einem normalerweise im Waferverbund der Halbleiterchips durchzuführenden Testmodus, bei dem an einer vorbestimmten Anschlußfläche ein von außen zugeführtes Testsignal anliegt, und zum anderen in einem Betriebsmodus betreibbar ist, bei dem an den Anschlußflächen (1, 2) Betriebssignale anliegen. Wenigstens einer Anschlußfläche (1) ist eine Schalteinrichtung (12) zugeordnet, mit welcher die Funktion dieser Anschlußfläche (1) vom Testmodus in den Betriebsmodus umschaltbar ist.



DE 197 35 406 A 1

USPS EXPRESS MAIL
897 671 884 US
DECEMBER 11, 2001

Die Erfindung betrifft ein Halbleiterbauelement und ein Verfahren zum Testen und Betreiben eines Halbleiterbauelementes, welches eine in bzw. auf einer Hauptoberfläche eines Halbleiterchips ausgebildete elektronische Schaltung, und auf der Hauptoberfläche des Halbleiterchips angeordnete, mit der elektronischen Schaltung elektrisch gekoppelte Anschlußflächen ("Pads") für die elektrische Kommunikation der Schaltung mit der Außenwelt aufweist, wobei die elektronische Schaltung zum einen in einem normalerweise im Waferverbund der Halbleiterchips durchzuführenden Testmodus, bei dem an einer vorbestimmten Anschlußfläche ein von außen zugeführtes Testsignal anliegt, und zum anderen in einem Betriebsmodus betreibbar ist, bei dem an den Anschlußflächen bzw. an mit den Anschlußflächen elektrisch gekoppelten, nach außerhalb des Bauelementes geführten Anschlußbeinchen Betriebs signale anliegen.

Ein synchroner dynamischer Halbleiterspeicher (SDRAM) als Beispiel eines solchen Halbleiterbauelementes ist beispielsweise aus Y. Takai et al., "250 Mbyte/s Synchronous DRAM Using a 3-Stage-Pipeline Architecture", IEEE Journal of Solid-State Circuits, Vol. 29, April 1994 pp. 526, Yuno Choy et al., "16-Mb Synchronous DRAM with 125-Mbyte/s Data Rate", IEEE Journal of Solid-State Circuits, Vol. 29, April 1994, pp. 529 bekannt geworden. Nach dem JEDEC-Standard Nr. 21-C werden derartige SDRAM-Halbleiterspeicher in sogenannten TSOP-2-Gehäuseformen mit typischerweise 50 äußeren Anschlußbeinchen ($1\text{ M} \times 16\text{ SDRAM}$, $1\text{ M} \times 18\text{ SDRAM}$, $256\text{ k} \times 16\text{ SDRAM}$ oder 54 Anschlußbeinchen ($16\text{ M} \times 4\text{ SDRAM}$, $8\text{ M} \times 8\text{ SDRAM}$, $4\text{ M} \times 16\text{ SDRAM}$) angeboten. Vornehmlich am Randbereich der Hauptoberfläche des Halbleiterchips sind metallische Anschlußflächen, sogenannten Pads, ausgebildet, die der elektrischen Kommunikation der auf dem Halbleiterchip ausgebildeten Schaltungsbestandteile mit der Außenwelt dienen, und typischerweise eine quadratische Form mit Abmessungen von einigen $\mu\text{m} \times \mu\text{m}$ besitzen. Ein Teil dieser Anschlußflächen wird beispielsweise über Bonddrähte mit den nach außen ragenden Anschlußbeinchen beim Einbau in das Gehäuse des Halbleiterbauelementes verbunden. Ein geringerer Teil der Anschlußflächen ist nach dem Einbau des Halbleiterbauelementes in das Gehäuse von außen nicht mehr zugänglich; diese werden nur im Testmodus benötigt, bei dem sich die ungehäuseten Halbleiterchips noch im Waferverbund befinden.

In Fig. 2 sind die zur Erläuterung der Erfindung zugrunde liegenden Problemstellung erforderlichen Bestandteile eines herkömmlichen synchronen dynamischen Halbleiterspeichers SDRAM schematisch gezeigt. Dargestellt sind die beiden DQM-Anschlüsse LDQM (Lower Input Mask/Output Enable) und UDQM (Upper Input Mask/Output Enable) des SDRAM zugeordneten Anschlußflächen 1 und 2, die als metallische, im Wesentlichen quadratisch gestaltete Pads auf der Hauptoberfläche des Halbleiterchips ausgebildet sind und elektrisch über Leitungen 3, 4 und Treiber 5, 6 mit der im Halbleiterchip angeordneten Steuer- und Logikschaltung verbunden ist, was in Fig. 2 durch die Bezeichnungen LDQM intern und UDQM intern angedeutet ist. Weiterhin ist eine Testanschlußfläche 7 vorgesehen, welche zu Testzwecken benötigt wird, und an welche im Testmodus von außen ein Testaktivierungssignal EXTADDR angelegt wird. Die eigentlichen Testmodus-Sequenzen in der Form sogenannter TPL-Codes, die unter anderem dazu dienen, den noch im Waferverbund befindlichen, also noch ungehäuseten Halbleiterspeicher hinsichtlich der Funktionstüchtigkeit der redundanten und nicht-redundanten Bitleitungen bei geöffneter Wortleitung und dergleichen mehr zu testen, werden von einer Steuerschaltung 9 in Form eines Signales TMEXTADDR geliefert, welches an dem einen Eingang eines UND-Gatters 10 anliegt, an dessen Ausgang das zum Testen der relevanten Schaltungsteile dienendes Signal Ax ausgegeben wird. Der Testmodus wird durch das von außen an der Testanschlußfläche 7 anliegende Testaktivierungssignal EXTADDR aktiviert, welches über einen Treiber 8 an dem zweiten Eingang des UND-Gatters 10 liegt, und die Steuerschaltung 9 und damit die ausgegebenen Testmode-Sequenzen im Sinne eines Ein- und Ausschaltens steuert. Die auf der Hauptoberfläche des Halbleiterchips ausgebildete metallische Testanschlußfläche 7 ist damit lediglich zu Testzwecken erforderlich, und wird daran anschließend eigentlich nicht mehr benötigt.

Der Erfindung liegt daher die Aufgabe zugrunde, ein Halbleiterbauelement und insbesondere einen synchronen dynamischen Halbleiterspeicher vom wahlfreien Zugriffstyp bzw. ein Verfahren zum Testen und Betreiben eines solchen Halbleiterbauelementes zur Verfügung zu stellen, bei dem die lediglich zu Testzwecken benötigten, jedoch wertvolle Chipfläche beanspruchenden Testanschlußflächen eingespart werden können.

Diese Aufgabe wird vorrichtungsmäßig durch ein Halbleiterbauelement nach Anspruch 1 und verfahrensmäßig durch ein Verfahren nach Anspruch 8 gelöst.

Erfindungsgemäß ist wenigstens einer Anschlußfläche eine Schalteinrichtung zugeordnet, mit welcher die Funktion dieser Anschlußfläche vom Testmodus in den Betriebsmodus umschaltbar ist. Durch die Erfindung kann eine lediglich für Testzwecke benötigte Testanschlußfläche eingespart werden. Der für das Umschalten in den späteren Betriebsmodus der betroffenen Anschlußfläche benötigten Schalteinrichtung zusätzlich benötigte Platzbedarf auf der Hauptoberfläche des Halbleiterchips ist in aller Regel wesentlich geringer als der für eine Anschlußfläche, welche der makroskopisch zugänglichen Verbindung der Halbleiterschaltung mit der Außenwelt dient, benötigte Platz. Dies gilt selbst für eine vergleichsweise komplizierter aufgebaute Schalteinrichtung mit mehreren Transistoren. Die Schalteinrichtung kann am einfachsten fest verdrahtet auf der Hauptoberfläche des Halbleiterchips ausgebildet sein. Da die Schalteinrichtung in der Regel nur zu Testzwecken benötigt wird, kann hierbei des weiteren vorgesehen sein, daß die Schalteinrichtung die damit gekoppelte Anschlußfläche irreversibel in den Betriebsmodus schaltet. Zu diesem Zweck kann die Schalteinrichtung beispielsweise mit einem oder auch mehreren Fuses gekoppelt sein, die nach Durchführung sämtlicher Tests im Sinne einer Deaktivierung der Schalteinrichtung durchgebrannt werden.

Die Schalteinrichtung stellt bei einer schaltungstechnisch einfach zu realisierenden, daher bevorzugten Anwendungsfall eine Multiplex-Schaltung dar, bei der durch Anlegen eines vorzugsweise im Dualcode anliegenden Adresswortes jeweils einer von N Signaleingängen bzw. Eingangskanälen auf den Ausgang bzw. Ausgangskanal durchgeschaltet wird. Der Signalweg zwischen Ein- und Ausgang der Multiplex-Schaltung kann des weiteren durch ein Freigabesignal unterbrochen sein.

Bei einer besonders bevorzugten Ausführung der Erfindung ist die wenigstens eine, mit der Schalteinrichtung gekoppelte Anschlußfläche einem Datenein- bzw. -ausgang des Halbleiterbauelementes zugeordnet. Insbesondere handelt es sich bei dem Halbleiterbauelement um ein synchrones dynamisches Halbleiterspeicherbauelement vom wahlfreien Zu-

griffstyp (SDRAM), bei dem wenigstens eine der LDQM- oder UDQM-Anschlußflächen mittels der Schalteinrichtung funktionsmäßig vom Testmodus in den Betriebsmodus umschaltbar ist. Im Besonderen stellt das Halbleiterbauelement ein SDRAM in x16-Konfiguration dar, bei dem zwei DQM-Anschlußflächen für je eine Gruppe von 8 Datenein- bzw. -ausgänge DQ0, DQ1, ..., DQ7 vorhanden sind. Im Testmodus wird mittels der Schalteinrichtung beispielsweise die mit der Schalteinrichtung gekoppelte UDQM-Anschlußfläche zum DQM-Anschluß (Input Mask/Output Enable) für alle Datenein- bzw. -ausgänge DQs in den Testmodus umgeschaltet, und die gleichfalls mit der Schalteinrichtung gekoppelte LDQM-Anschlußfläche als Extended Address Bit geschaltet. Die Erfindung ermöglicht die Einsparung eines Charakterisierungspads bei voller Flexibilität hinsichtlich der Durchführung von allen bei einem SDRAM üblichen Testmode-Sequenzen.

Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den weiteren Unteransprüchen.

Nachfolgend wird die Erfindung anhand eines in der Zeichnung dargestellten Ausführungsbeispiels weiter erläutert. Im Einzelnen zeigen die Darstellungen in:

Fig. 1 eine ausschnittsweise Darstellung eines erfindungsgemäßen synchronen dynamischen Halbleiterspeichers SDRAM, und

Fig. 2 eine ausschnittsweise Darstellung eines herkömmlichen Halbleiterspeichers.

Bei dem in **Fig. 1** dargestellten Ausführungsbeispiel eines erfindungsgemäßen Halbleiterspeichers bezeichnen gleiche Bezugsziffern gleiche Komponenten wie bei der eingangs gemäß **Fig. 2** beschriebenen Schaltung, so daß deren Erläuterung nicht wiederholt wird. Im Unterschied zur Anordnung nach **Fig. 2** und entsprechend dem Wesen der Erfindung besitzt die Anordnung nach **Fig. 1** eine Schalteinrichtung **12** in Form einer 2:1-Multiplex-Schaltung mit einem Freigabe-eingang **13**, an welchem die von der Steuerschaltung **9** ausgegebenen Testsequenzen in Form des Signales TMEX-TADDR anliegen (diese werden am Ausgang des UND-Gatters **11** als Signale Ax weitergeleitet), und deren Eingänge **14** und **15** mit LDQM bzw. UDQM beaufschlagt sind. Der Ausgang des Multiplexers **12** liefert das Signal LDQM intern, während das Signal UDQM intern über die Leitung **16** unmittelbar weitergeleitet wird. Die Schalteinrichtung **12** weist folgende Pegeltabelle auf, wobei die Ziffern die logischen Schaltungszustände NULL und EINS bezeichnen:

EINGANG			AUSGANG		
TMEXTADDR	LDQM	UDQM	LDQM intern	UDQM intern	Ax
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	1	0	0
0	1	1	1	1	0
1	0	0	0	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	1	1	1	1

Das Signal Ax ist NULL im Falle einer Standardaktivierung bzw. Standardauswahl von nicht-redundanten und gefu-
sten Elementen der Schaltung, und ist EINS im Falle der Aktivierung bzw. Auswahl von redundanten Elementen. Man
erkennt weiterhin, daß das Signal UDQM im Testmodus zum Signal DQM für sämtliche Datenein- und -ausgangs-
anschlüsse DQ des Halbleiterspeichers wird, und das Signal LDQM in diesem Fall als Extended Address Bit geschaltet
wird. Das Ausführungsbeispiel bezieht sich auf ein SDRAM in x16-Konfiguration, bei dem die beiden DQM-Anschluß-
flächen **1** und **2** für je eine Gruppe von 8 DQ-Anschlüssen vorhanden sind. Die Erfindung ist jedoch auch für andere Kon-
figurationen, beispielsweise x4-Konfiguration oder x8-Konfiguration geeignet.

Die Erfindung ermöglicht eine voll flexible Testmöglichkeit von Speicherzellen einschließlich redundanter Wort- und
Bitleitungen, ohne daß für die Information, ob ein redundantes oder nicht-redundantes Element adressiert werden soll,
eine zusätzliche Testanschlußfläche erforderlich ist.

Patentansprüche

- Halbleiterbauelement mit einer in bzw. auf einer Hauptoberfläche eines Halbleiterchips ausgebildeten elektronischen Schaltung (**9**) und auf der Hauptoberfläche des Halbleiterchips angeordneten, mit der elektronischen Schaltung (**9**) elektrisch gekoppelten Anschlußflächen ("Pads") (**1, 2**) für die elektrische Kommunikation der Schaltung (**9**) mit der Außenwelt, wobei die elektronische Schaltung (**9**) zum einen in einen, normalerweise im Waferverband der Halbleiterchips durchzuführenden Testmodus, bei dem an einer vorbestimmten Anschlußfläche (**1, 2**) ein von außen zugeführtes Testsignal anliegt, und zum anderen in einem Betriebsmodus betreibbar ist, bei dem an den Anschlußflächen (**1, 2**) bzw. an mit den Anschlußflächen (**1, 2**) elektrisch gekoppelten, nach außerhalb des Bauelementes geführten Anschlußbeinen Betriebssignale anliegen, **dadurch gekennzeichnet**, daß wenigstens einer Anschlußfläche (**1, 2**) eine Schalteinrichtung zugeordnet ist, mit welcher die Funktion dieser Anschlußfläche (**1, 2**)

vom Testmodus in den Betriebsmodus umschaltbar ist.

2. Halbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, daß die Schalteinrichtung fest verdrahtet auf der Hauptoberfläche des Halbleiterchips ausgebildet ist.

3. Halbleiterbauelement nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Schalteinrichtung die damit gekoppelte Anschlußfläche (1, 2) irreversibel in den Betriebsmodus schaltet.

4. Halbleiterbauelement nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die wenigstens eine, mit der Schalteinrichtung gekoppelte Anschlußfläche (1, 2) einem Datenein- bzw. -ausgang des Halbleiterbauelementes zugeordnet ist.

5. Halbleiterbauelement nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Schalteinrichtung durch ein von einer Steuerschaltung (9) stammendes Steuersignal (TMEXTADDR) geschaltet wird.

6. Halbleiterbauelement nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß es sich um ein synchrones dynamisches Halbleiterspeicherbauelement vom wahlfreien Zugriffstyp (SDRAM) handelt, bei dem wenigstens eine der LDQM- oder UDQM-Anschlußflächen (1, 2) mittels der Schalteinrichtung (12) funktionsmäßig in einen Testmodus umschaltbar ist.

7. Halbleiterbauelement nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die mit der Schalteinrichtung gekoppelte LDQM-Anschlußfläche oder UDQM-Anschlußfläche (1, 2) im Testmodus als "Extended Address Bit" geschaltet ist.

8. Verfahren zum Testen und Betreiben eines Halbleiterbauelementes, welches eine in bzw. auf einer Hauptoberfläche eines Halbleiterchips ausgebildete elektronische Schaltung (9), und auf der Hauptoberfläche des Halbleiterchips angeordnete, mit der elektronischen Schaltung (9) elektrisch gekoppelte Anschlußflächen ("Pads") (1, 2) für die elektrische Kommunikation der Schaltung (9) mit der Außenwelt aufweist, wobei die elektronische Schaltung (9) zum einen in einem normalerweise im Waferverbund der Halbleiterchips durchzuführenden Testmodus, bei dem an einer vorbestimmten Anschlußfläche (1, 2) ein von außen zugeführtes Testsignal anliegt, und zum anderen in einem Betriebsmodus betreibbar ist, bei dem an den Anschlußflächen (1, 2) bzw. an mit den Anschlußflächen (1, 2) elektrisch gekoppelten, nach außen aus dem Bauelement geführten Anschlußbeinen Betriebssignale anliegen, dadurch gekennzeichnet, daß wenigstens einer Anschlußfläche (1, 2) eine Schalteinrichtung zugeordnet wird, mit welcher die Funktion dieser Anschlußfläche (1, 2) vom Testmodus in den Betriebsmodus umschaltbar ist.

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß die Schalteinrichtung fest verdrahtet auf der Hauptoberfläche des Halbleiterchips ausgebildet wird.

10. Verfahren nach Anspruch 8 oder 9, dadurch gekennzeichnet, daß die mit der Schalteinrichtung gekoppelte Anschlußfläche (1, 2) irreversibel in den Betriebsmodus geschaltet wird.

11. Verfahren nach einem der Ansprüche 8 bis 10, dadurch gekennzeichnet, daß die wenigstens eine, mit der Schalteinrichtung gekoppelte Anschlußfläche (1, 2) einem Datenein- bzw. -ausgang des Halbleiterbauelementes zugeordnet wird.

12. Verfahren nach einem der Ansprüche 8 bis 11, dadurch gekennzeichnet, daß die Schalteinrichtung durch ein von einer Steuerschaltung (9) stammendes Steuersignal geschaltet wird.

13. Verfahren nach einem der Ansprüche 8 bis 12, dadurch gekennzeichnet, daß es sich um ein synchrones dynamisches Halbleiterspeicherbauelement vom wahlfreien Zugriffstyp (SDRAM) handelt, bei dem wenigstens eine der LDQM- oder DDQM-Anschlußflächen (1, 2) mittels der Schalteinrichtung funktionsmäßig in den Testmodus umschaltbar ist.

14. Verfahren nach einem der Ansprüche 8 bis 13, dadurch gekennzeichnet, daß die mit der Schalteinrichtung gekoppelte LDQM-Anschlußfläche oder UDQM-Anschlußfläche (1, 2) im Testmodus als "Extended Address Bit" geschaltet wird.

Hierzu 2 Seite(n) Zeichnungen

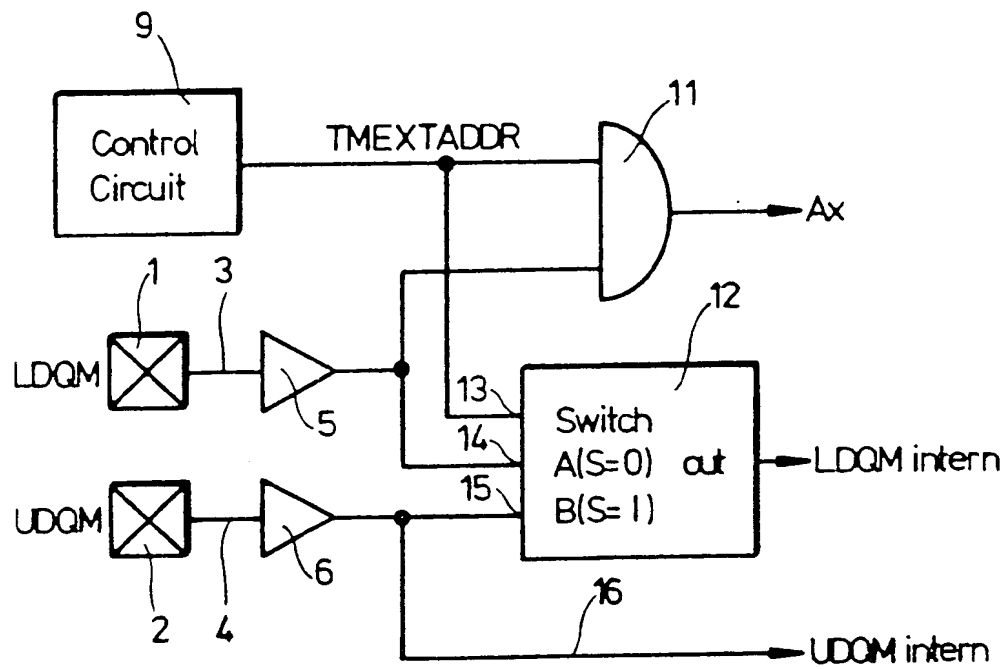


Fig 1

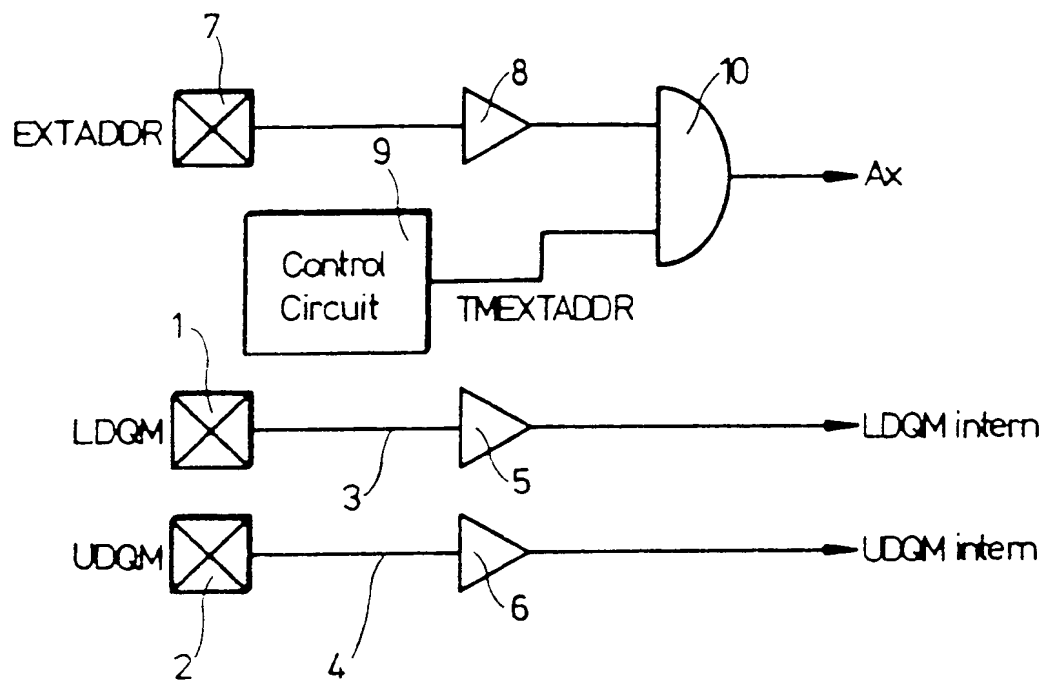


Fig 2